

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—161378

⑬ Int. Cl.³
H 01 L 29/90

識別記号

厅内整理番号
7357—5F

⑭ 公開 昭和58年(1983)9月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 定電圧ダイオード

⑯ 特 願 昭57—43191

⑰ 出 願 昭57(1982)3月18日

⑱ 発明者 田村建美

姫路市余部区上余部50番地東京
芝浦電気株式会社姫路工場内

⑲ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

定電圧ダイオード

2. 特許請求の範囲

一導電型の半導体基板と、この半導体基板の正面に形成された逆導電型のエピタキシャル層と、このエピタキシャル層とショットキ接合を形成する金属電極層とを具備したことを特徴とする定電圧ダイオード。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、ICあるいは単体の素子として製造される特にパンチスルーラー型の定電圧ダイオードに関する。

[発明の技術的背景]

従来の定電圧ダイオードで特にパンチスルーラー型のものとしては、第1図に示すような二重拡散型のものや、第2図に示すようなエピタキシャル拡散型のものがある。第1図に示す二重拡散型のものは、N⁺形半導体基板10の表面よ

りP形不純物を拡散してP領域9を形成し、このP領域9内にそのP形不純物を濃度的に打ち消すようにN⁺領域8を拡散形成する。そして、上記N⁺形半導体基板10および上記N⁺領域8に金属電極6, 7を形成し、この電極6, 7に対して導出リード6a, 7aをそれぞれ接続するようにしたものである。

また、第2図に示すエピタキシャル拡散型のものは、N⁺形半導体基板10上に成長形成されたP形エピタキシャル層11の周辺部にN⁺形アイソレイション領域12を形成し、上記P形エピタキシャル層11上に形成された絶縁膜13に設けた拡散窓よりN⁺領域8を拡散形成したものである。そして、前記二重拡散型のダイオードの場合と同様に、N⁺形半導体基板10およびN⁺領域8に金属電極6, 7を形成し、さらに導出リード6a, 7aをそれぞれ接続する。

このようなN⁺形領域に挟まれたP形領域を有するパンチスルーラー型の定電圧ダイオードの動

作は第2図のエピタキシャル拡散型のものを例にとると次のようである。すなわち、N⁺形半導体基板10側に正の電圧を、N⁺領域8に負の電圧を印加した場合、N形半導体基板10とP形エピタキシャル層11が形成するPN接合部は逆バイアス状態となり、空乏層が成長する。またP形エピタキシャル層11とN⁺領域8とが形成するPN接合部は、順バイアス状態となり、空乏層は殆んど伸びない。印加電圧が増加すると、それに伴ないN⁺形半導体基板10とP形エピタキシャル層11とで形成する逆バイアス状態のPN接合部の空乏層がP形エピタキシャル層11方向に伸び、ついにN⁺領域8とで形成する順バイアス状態の空乏層に達する。このときパンチスルー状態となり、微小な印加電圧の増加に対し急激に電流が増加するようになり、この電流電圧特性を定電圧ダイオードとして利用する。

(背景技術の問題点)

このような構造と電流電圧特性を有する従来

3

層を形成し、そのエピタキシャル層表面にショットキ接合を形成する金属層を形成するもので、上記半導体基板とエピタキシャル層とが形成するPN接合部の空乏層が、上記ショットキ接合部に達するパンチスルー現象を利用する。

(発明の実施例)

以下図面を参照してこの発明の一実施例について説明する。第3図(a)～(d)はこの発明に係る定電圧ダイオードを製造過程と共に説明する図で、まず(a)図に示すように、比抵抗0.01[Ωcm]程度のN⁺形半導体基板10の正面に、エピタキシャル成長法を用いて比抵抗1.2～1.5[Ωcm]のP形エピタキシャル層11を3.0～3.3[μm]程度の厚さで形成する。続いて、このP形エピタキシャル層11の表面に、CVD法により絶縁膜として厚さ約1[μm]のシリコン酸化膜14を形成する。

次に、特に図で示していないが島領域となる部分を除いて写真蝕刻法によつて上記酸化膜14を除去し、P形エピタキシャル層11内に

の定電圧ダイオードにおいて、まず前記二重拡散型のものは、P形領域を形成するために、かなり高濃度のP形不純物拡散を行なう必要がある。このように、不純物濃度を高くすると、低い定電圧領域を有するダイオードを得ることができない。また、第2図で示したエピタキシャル拡散型のものは、パンチスルー電圧がエピタキシャル層11とN⁺領域8の拡散深さとに依存し、パンチスルー電圧を所定値に制御するのが困難で、パンチスルー電圧が大きくばらつくなどの欠点があつた。

(発明の目的)

この発明は上記のような点に鑑みてなされたもので、ばらつきが少なく、低電圧から高電圧に渡り広い範囲でパンチスルー電圧を設定できるパンチスルー型の定電圧ダイオードを提供しようとするものである。

(発明の概要)

すなわち、この発明に係る定電圧ダイオードは、導電基板上に逆導電型のエピタキシャル

4

N形不純物を拡散して、N⁺形半導体基板10に達するN⁺形アイソレイション領域12を形成する。そして、さらに全面に前記と同様にしてシリコン酸化膜を形成し、(b)図に示すように、N⁺形アイソレイション領域12で囲まれたP形エピタキシャル層11上に開口部16を写真蝕刻法によつて形成する。

続いて、(c)図に示すように、スパッタリング法を用い、開口部16を覆うように金属電極層としてモリブデン電極層16を形成する。ここで、このモリブデン電極層16はP形エピタキシャル層11と接觸面においてショットキ接合を形成している。その後、同様の手法で上記モリブデン電極層16上にアルミニウム電極層17を形成する。

上記のようなモリブデン電極層16とアルミニウム電極層17による二層電極層を形成後、(d)図に示すように上記半導体基板10に電極部18を形成し、この電極部18および二層電極層にそれぞれ導出リード18a, 17aを接続

5

—402—

6

形成して定電圧ダイオードとする。

このような構成のパンチスルーライオードにおいて、まずN⁺形半導体基板10側をプラス、モリブデン電極層16側をマイナスに電圧印加すると、N⁺形半導体基板10とP形エピタキシャル層11でつくるP/N⁺接合は逆バイアスとなり、空乏層は主としてP形エピタキシャル層11側へ伸びる。一方、モリブデン電極層16とP形エピタキシャル層11とでつくるショットキ接合は順バイアスとなり、空乏層は殆んど伸びない。印加電圧が増し、前記逆バイアスの空乏層にまで達すると、パンチスルーライオードとなり、これ以上印加電圧を増そうとしても、このダイオードにおける電位降下すなわちパンチスルーレ電圧は殆んど変らず、電流が急激に増すのみである。従つてこのような電流電圧特性は定電圧ダイオードとして利用できる。

このように構成されたパンチスルーライオードと、従来のパンチスルーライオードとの、製品個数に対するパンチ

有する定電圧ダイオードについて説明したが、この発明はP⁺形半導体基板にN形エピタキシャル層を形成し、その上にショットキ接合を形成する金属電極層を形成したようなN/P⁺型のものにも適用できることは勿論である。また、金属性電極層についても、モリブデンの他、例えば、金(Au)、白金(Pt)、バナジウム(V)、チタン(Ti)、クロム(Cr)など、半導体材料とショットキ接合を形成するような他の金属材料を使用できる。

〔発明の効果〕

以上のようにこの発明によれば、PN接合を形成する半導体基板とエピタキシャル層に、上記PN接合と逆方向整流特性を有するようなショットキ接合を形成する金属電極層を形成したことにより、低電圧のパンチスルーレ電圧も設定可能で、設定定電圧のばらつきの著しく改善されたパンチスルーライオードを提供できる。

スルーレ電圧分布を第4図に示す。この図で明らかのように、製品のパンチスルーレ電圧すなわち定電圧ダイオードの設定電圧は、精度良く制御されたものとなる。

これは、上記実施例で示したような定電圧ダイオードでのパンチスルーレ電圧がP形エピタキシャル層11の厚さ(第3図D参照)で殆んど決定されるためで、従来パンチスルーレ電圧に影響していたP形エピタキシャル層11などのP形領域内に形成されたN⁺領域における拡散深さのばらつきの影響がないためである。

すなわち、P形エピタキシャル層11の厚さを所定値に設定すれば、ばらつきを著しく小さくすることができ、希望するパンチスルーレ電圧を容易且つ確実に設定することができる。またP形エピタキシャル層12は、高濃度のP形不純物を含んでいる必要がないため、低電圧のパンチスルーレ電圧すなわち低電圧の設定電圧を得ることもできる。

なお、上記実施例ではP/N⁺型のPN接合を

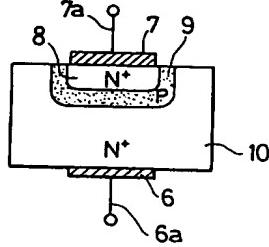
4. 図面の簡単な説明

第1図および第2図は従来のパンチスルーライオードを説明する断面図、第3図(A)～(D)はこの発明の一実施例に係る定電圧ダイオードをその製造過程と共に示す断面図、第4図はこの発明による定電圧ダイオードのパンチスルーレ電圧の分布を示す図である。

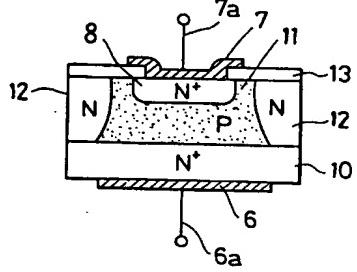
10…N⁺形半導体基板、11…P形エピタキシャル層、16…モリブデン電極層。

出願人代理人弁理士 鈴江武彦

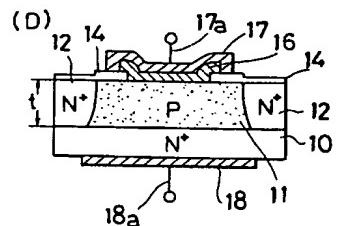
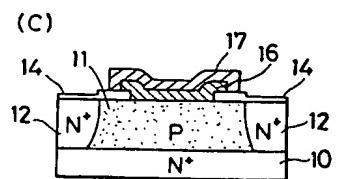
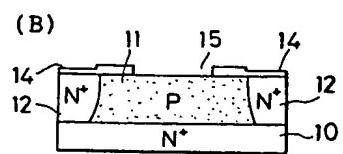
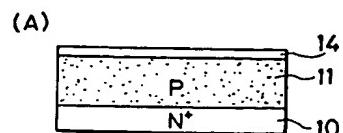
第1図



第2図



第3図



第4図

